



特 許 願 (3)

(2,000円)

昭和 年 49.3.-8日

特許庁長官 藤 藤 英 雄 殿

1. 発明の名称

記憶装置

2. 発明者

東京都青梅市東広町8丁目9番地の1

東京芝浦電気株式会社青梅工場内

服 部 守 伸

3. 特許出願人

住所 神奈川県川崎市幸区堀川町72番地

名称 (307) 東京芝浦電気株式会社

代表者 玉 置 敬 三

4. 代理人

住所 東京都港区芝西久保桜川町2番地 第17森ビル

〒 105 電話 03 (502) 3181 (大代表) 山田理

氏名 (5847) 弁護士 鈴 江 武 彦 印武方

特許庁 (ほか4名) 方式 査

49.3.8

49-026200

明 細 書

1. 発明の名称

記憶装置

2. 特許請求の範囲

所定の情報を一時記憶するレジスタと、このレジスタに記憶された情報を複数個記憶する第1の記憶部と、上記レジスタに記憶された情報のほかに少なく共1ビットよりなるフラグを上記情報と同一アドレスに記憶することができ、且つ上記第1の記憶部より多くの語を記憶できる第2の記憶部と、上記第1の記憶部のアドレスを指定する第1のカウントと、上記第2の記憶部のアドレスを指定する第2のカウントと、上記第1の記憶部に記憶されている情報と上記レジスタに記憶された情報との一致を検出する手段と、上記2つの情報が一致しない場合、一致するまで或いは上記第1の記憶部の有する語数分だけ上記第1のカウントをカウントアップする手段と、上記2つの情報が一致した場合に上記第1のカウントの値を上記第2のカウント

① 日本国特許庁

公開特許公報

① 特開昭 50-120529

④ 公開日 昭50.(1975) 9.20

② 特願昭 49-26200

③ 出願日 昭49.(1974) 3. 8

審査請求 未請求 (全6頁)

庁内整理番号

6453 56
6176 56
6453 56

⑤ 日本分類

97D00
97D91
97D92

⑥ Int.Cl?

G06F 13/00
G06F 11/00

の下部ビットにセットし、上記第2の記憶部の第2のカウントで示すアドレスの上記フラグ部に特定のマーク付けをする手段とを具備することを特徴とする記憶装置。

3. 発明の詳細な説明

本発明は中央処理装置によりシーケンシャルに実行される命令の履歴を残しておくための記憶装置に関する。

ストアードプログラム方式の中央処理装置は、命令のシーケンシャルな実行を制御するため1つのカウンタを持っている。このカウンタはプログラムカウンタ又は800(シーケンスコントロールカウンタ)レジスタ等、種々の名称で呼ばれているが、要はこのカウンタの示す主記憶装置のアドレスから主記憶装置にストアされているプログラムを取出すための制御を果す。このカウンタをここではPカウンタと呼ぶ。

上記中央処理装置によりシーケンシャルに実行される命令の履歴を残しておくことは、中央処理装置の保守をする上で有益なことではある

が、逐次実行される命令群そのものを残すよりも命令群と1対1で対応する命令群のアドレスを残すだけで上記の目的を達することが多く、且つ必要とされる記憶容量が少なくて済む。したがって、このような目的のためには、Pカウンタの履歴を残しておくが良い。

Pカウンタの履歴を残すための記憶装置としては、あらかじめ割り当てられた主記憶装置の一部でも良く、又専用に用意された比較的小容量の記憶装置でも良い。

Pカウンタの履歴を残すための記憶装置は、一般にプッシュダウンストア形式のものが多く、新しい情報が書き込まれる度に最も古い情報が棄てられる。第1図はN語の容量をもプッシュダウンストア記憶装置を示し、新しい情報Aを書込むことにより最も古い情報Aが棄てられることを示している。

しかるに、プッシュダウンストア記憶装置を用いる場合、次のような欠点がある。即ち、新しい情報を書き込むために次々と古い情報が棄て

8

られるので、プログラムがループをするような場合には記憶装置の内容は或る周期で繰返される同一の内容になつてしまい、プログラム中のどの部分からこのループに入つたかわからなくなつてしまう。このようなプログラムループは例えば出力機器の状態を監視するような場合（例えば紙テープ装置のリワインド終了の検出）によく用いられるプログラム手法である。

本発明は上記の点に鑑みなされたもので、プログラムがループするような場合にプログラム中のどの部分からループに入つたか判断できるようにした記憶装置を提供することを目的とする。

以下本発明の一実施例を図面を参照して説明すると、第8図は中央処理装置と本発明記憶装置との接続関係を説明するための図で、11は中央処理装置、12は記憶装置であり、この中央処理装置11と記憶装置12の相互間には複数の信号線13、14、15、16により接続される。この場合、信号線13は中央処理装置

以下本発明の一実施例を図面を参照して説明すると、第8図は中央処理装置と本発明記憶装置との接続関係を説明するための図で、11は中央処理装置、12は記憶装置であり、この中央処理装置11と記憶装置12の相互間には複数の信号線13、14、15、16により接続される。この場合、信号線13は中央処理装置

4

ンタの値をストアするためのロビットのアドレスフィールドとループフラグフィールドとにより構成される。尚、ループフラグフィールドの使い方については後述する。

次に、上記第1の記憶部21、第2の記憶部22を用いて構成される記憶装置12の具体例について第4図を参照して説明すると、21は第1図信号線13を介して供給される入力情報（Pカウンタの情報）を一時記憶しておくためのレジスタで、Pカウンタが15ビットより構成されている場合15ビットの長さを持つ。このレジスタ21の出力情報が第1の記憶部21、第2の記憶部22が供給されるもので、第1の記憶部21は1ワード15ビットで8ワードの容量を持ち、第2の記憶部22は1024ワードの容量を持つて1ワードは15ビットのアドレスフィールドと1ビットのループフラグフィールドよりなる。第1の記憶部21は8ビットの第1のカウント24でアドレス指定され、この第1のカウント24は後述するクロック発生回

上記記憶装置12には8つの記憶部が使用されており、第8図に示す如く、第1の記憶部21はN語の容量を持ち、各々の語はPカウンタの値をストアするためのロビットのアドレスフィールドより構成される。一方、第2の記憶部22はN語の容量を有し、各々の語はPカウ

5

6

路よりの信号によりカウントアップする。一方第2の記憶部22は第2のカウント25でアドレス指定され、この第2のカウント25は10ビットからなり、クロック発生回路よりの信号によつてカウントアップするほか、クロック発生回路よりの制御信号によつて上記第1のカウント24の値が下値の8ビットにセットされる。上記レジスタ23の情報と上記第1のカウント24でアドレス指定された第1の記憶部21の情報は一致回路26で比較されるものでこの一致回路26は上記両方の情報が一致した場合に一致出力信号を発生する機能を持ち、この一致出力信号は上記第2の記憶部22に供給されると共に、クロック発生回路27に供給される。このクロック発生回路27は第2図中央処理装置11からタイミング信号が信号線15を介して供給されることにより、上記Pカウンタ情報を上記レジスタ23にセットするためのストロブ信号と、上記第1及び第2のカウント24, 25の各々カウントアップ信号と上記第1及び

7

発生回路27からは第5図及び第6図(0)に示す如くストロブ信号が発生し、このストロブ信号により上記Pカウンタ情報がレジスタ23にセットされる。一方、第1の記憶部21にはそれ以前に8個のPカウンタ情報が入っている。次に、上記レジスタ23にセットされたPカウンタ情報が過去に第1の記憶部21にストアされたPカウンタ情報と同一であるか調べるために、クロック発生回路27より第1のカウント24に対して第5図及び第6図(0)に示す如くカウントアップ信号が送られる。即ち、第1のカウント24の8ビットの状態に対応して第1の記憶部21のPカウンタ情報が読出され、一致回路26に送られる。一方、一致回路26にはレジスタ23にセットされたPカウンタ情報が送られて来ており、一致回路26はこの両方のPカウンタ情報が一致しているか調べ、一致する場合には出力が一致出力信号線15になる。クロック発生回路27は一致回路26の出力を監視し、"1"でなければ第1のカウン

9

特開 昭50-120529 (3)

タの記憶部21, 22各々に対する番込みストロブ信号と、上記第1のカウント24の値を上記第2のカウント25の下位8ビットにセットする制御信号とを所定の順序によつて発生させる。又、クロック発生回路27は上記一致回路26からの一致出力信号により、上記制御信号の発生が制御される。更に、クロック発生回路27は第2図中央処理装置11から読出し指令信号が信号線15を介して供給されることにより、上記第2の記憶部22の内容を読出すための制御信号を発生するもので、第2の記憶部22に第2図信号線16が接続されている。

次に、以上のように構成された記憶装置の動作について第5図及び第6図に示すタイムチャートを参照して説明する。第5図及び第6図(0)に示す如く中央処理装置11よりのPカウンタ情報が信号線12により送られて来ると、同図(0), (0)に示す如く信号線14にタイミング信号が送られて来る。このタイミング信号がクロック発生回路27に供給されると、このクロック

8

24に対して再びカウントアップ信号を出し、今と同じ動作を繰返す。このような動作を繰返し、第1の記憶部21のPカウンタ情報8語とレジスタ23のPカウンタ情報とが一致しなければ、上記第5図(0)及び同図(0)に示す如くクロック発生回路27より第1及び第2のカウント24, 25に対してカウントアップ信号が送られる。このようにして、第1及び第2のカウント24, 25は夫々第1及び第2の記憶部21, 22のPカウンタ情報を番込むべき位置をさし示す。次いで、クロック発生回路27より第1及び第2の記憶部21, 22に対して第5図(0)及び(0)に示す如く番込みストロブ信号が送られ、レジスタ23にセットされているPカウンタ情報が第1及び第2の記憶部21, 22の所定の語に番込まれる。

一方、レジスタ23にセットされたPカウンタ情報と第1の記憶部21にストアされているPカウンタ情報8語のうちの1語が一致する場合は第6図に示すタイムチャートの動作となる

10

特開 昭50-120528 (4)

もので、ここでは第1の記憶部21のPカウンタ情報を逐次取出して比較を行うことにより5番目に一致した場合を示してある。即ち、第1の記憶部21から取出されたPカウンタ情報とレジスタ23にセットされているPカウンタ情報とが一致すると、一致回路26の出力が第8図(8)に示す如く一致出力信号"1"となる。クロック発生回路27は上記一致回路26の出力が一致出力信号"1"になると、第1及び第2の記憶部21、22にレジスタ23のPカウンタ情報を書き込むために、第1のカウント24の値を第2のカウント25の下位8ビットにセットするための第8図(9)に示す制御信号を送る。その後、クロック発生回路27より第1及び第2の記憶部21、22に対し第8図(9)及び(10)に示す如く書き込みストローブ信号が送られる。このようにして第1の記憶部21にレジスタ23のPカウンタ情報を第1のカウント24の示す語に書き込むが、このPカウンタ情報は第1の記憶部21の第1のカウント24の示す語に書き込

まれている情報と同じである。一方、第2の記憶部22に対しては、第2のカウント25の示す語にレジスタ23のPカウンタ情報のほか、一致回路26出力の一致出力信号が書き込まれる。この一致出力信号はこの場合"1"である。即ち、第8図に示される第2の記憶部22の第2のカウント25で示される語のアドレスフィールドにはレジスタ23のPカウンタ情報が、又1ビットのループフラグフィールドには一致出力信号が書き込まれる。

尚、第1のカウント24の値を第2のカウント25の下位8ビットに書き込む場合は、第2のカウント25の上位7ビットの値を補正する必要がある場合があり、これはクロック発生回路27からの信号により補正される。又、第2の記憶部22に書き込まれたPカウンタ情報は、指出し指令信号が信号線16を介してクロック発生回路27に供給されることにより取出され、取出されたPカウンタ情報は信号線16を介して運出される。

11

12

したがって、このような装置によれば、レジスタ23にセットされたPカウンタ情報をその前に第1の記憶部21ストアされた複数のPカウンタ情報と比較し、一致する場合即ちプログラムがループする場合、一致信号である特定のマークと共に上記レジスタ23にセットされたPカウンタ情報を第2のカウント25で示される同一アドレスに書き込むようにしたので、プログラムがループする場合にプログラム中のどの部分からループに入つたか上記特定のマークにより容易に判断できるものである。

4. 図面の簡単な説明

第1図はブッシュダウンストア記憶装置を示す図、第2図乃至第8図は本発明に係る記憶装置の一実施例を説明するための図で、第2図は中央処理装置と記憶装置との接続関係を示す図、第3図は記憶装置に使用される2つの記憶部を示す図、第4図は上記記憶部を用いて構成された記憶装置の具体例を示す図、第5図及び第6図は上記具体的な記憶装置の動作を説明するた

めのタイムチャートである。

- 21…第1の記憶部、22…第2の記憶部、
- 23…レジスタ、24…第1のカウント、
- 25…第2のカウント、26…一致回路、
- 27…クロック発生回路。

出願人代理人 弁理士 鈴江 武彦

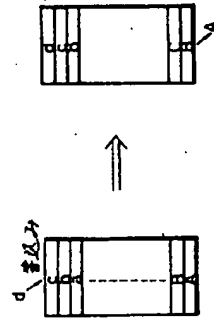
18

-154-

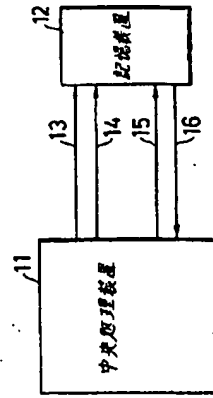
14

BEST AVAILABLE COPY

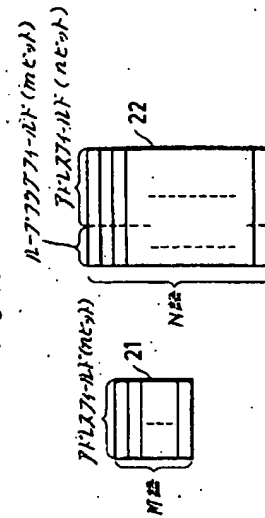
第 1 図



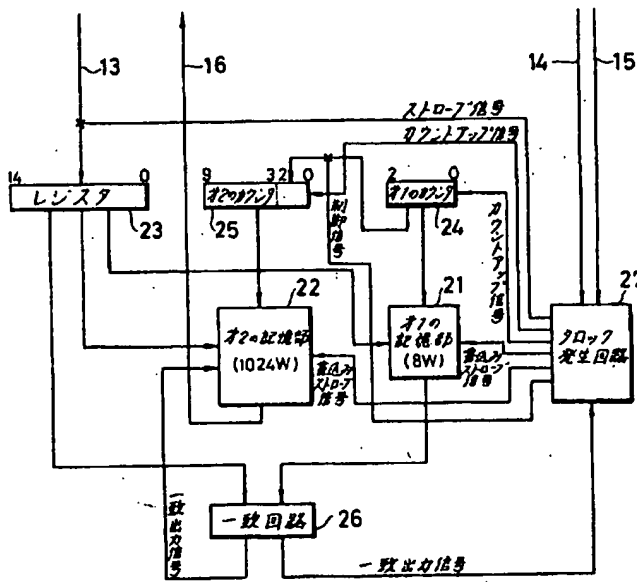
第 2 図



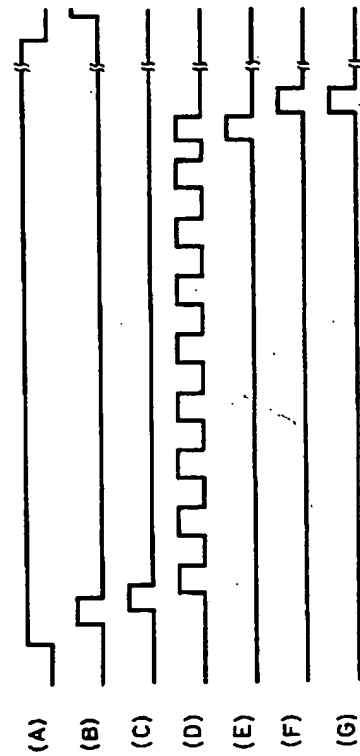
第 3 図



第 4 図



第 5 図



特開 昭50-120529 (6)

5. 添付書類の目録

- | | |
|----------|------------------|
| (1) 委任状 | 1通(同時提出の特許願(1)に) |
| (2) 明細書 | 1通(添付の委任状に添付する。) |
| (3) 図面 | 1通 組合表 |
| (4) 願書原本 | 1通 |

6. 前記以外の発明者、特許出願人または代理人

代理人

住所	東京都港区芝西久保横川町2番地	第17森ビル	三木 雄三
氏名 (5743)	弁護士	三 木	武 雄
住所	同 所		
氏名 (6694)	弁護士	小 宮	幸 幸
住所	同 所		
氏名 (6881)	弁護士	坪 井	将 次
住所	同 所		
氏名 (7043)	弁護士	河 井	将 次

図 6 才

